

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

ACG

**Multiple level voltage generator for semiconductor memory device**

Patent Number: ☐ US5889664  
Publication date: 1999-03-30  
Inventor(s): OH YOUNG NAM (KR)  
Applicant(s): HYUNDAI ELECTRONICS IND (KR)  
Requested Patent: ☐ JP10134571  
Application: US19970914878 19970820  
Priority Number(s): KR19960034616 19960821  
IPC Classification: H02M7/25  
EC Classification: H02M3/07S, G11C5/14D,  
Equivalents: JP3319357B2, KR235958

**Abstract**

A multiple level voltage generator for a semiconductor memory device, comprising a back bias voltage charge pumping circuit for pumping charge to a back bias voltage node, a back bias voltage level detector for detecting the level of a back bias voltage at the back bias voltage node and generating first and second back bias voltage detection signals in accordance with the detected result, a high voltage charge pumping circuit pumping charge to a high voltage node, a high voltage level detector for detecting the level of a high voltage at the high voltage node and generating first and second high voltage detection signals in accordance with the detected result, a control logic circuit for generating a control signal in response to the second back bias voltage detection signal from the back bias voltage level detector and the second high voltage detection signal from the high voltage level detector, and an oscillator for generating first and second output signals in response to the control signal from the control logic circuit, the first back bias voltage detection signal from the back bias voltage level detector and the first high voltage detection signal from the high voltage level detector and applying the generated first and second output signals to the back bias voltage charge pumping circuit and the high voltage charge pumping circuit, respectively.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-134571

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 F

11/413

H 0 2 M 3/07

H 0 2 M 3/07

G 1 1 C 11/34

3 3 5 A

審査請求 有 請求項の数 8 F D (全 9 頁)

(21) 出願番号 特願平9-237824

(22) 出願日 平成9年(1997) 8月20日

(31) 優先権主張番号 3 4 6 1 6 / 1 9 9 6

(32) 優先日 1996年 8月21日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(72) 発明者 呉 永男

大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1 現代電子産業株式会社内

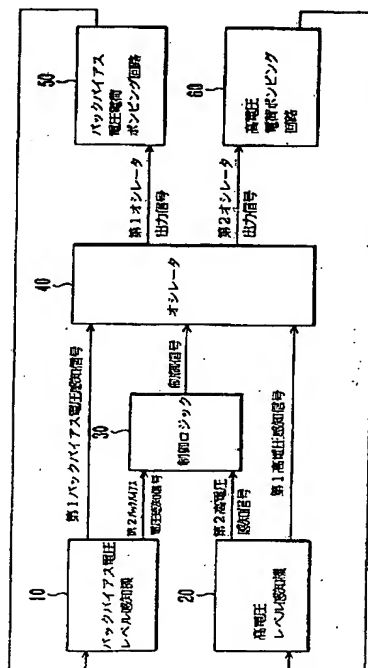
(74) 代理人 弁理士 山本 恵一

(54) 【発明の名称】 半導体メモリ装置の複数レベル電圧発生機

(57) 【要約】 (修正有)

【課題】 消耗電流を低減して節電を図る。

【解決手段】 複数レベル電圧発生機は、バックバイアス電圧レベルをポンピングするバックバイアス電圧電荷ポンピング手段、バックバイアス電圧レベルを感知して第1及び第2バックバイアス電圧感知信号を発生させるバックバイアス電圧レベル感知手段、高電圧レベルをポンピングする高電圧電荷ポンピング手段、高電圧レベルを感知して第1及び第2高電圧感知信号を発生させる高電圧レベル感知手段、前記第2バックバイアス電圧感知信号及び第2高電圧感知信号を受信して選択的に駆動される制御手段並びに制御手段の出力信号、前記第1バックバイアス電圧感知信号及び第1高電圧感知信号を受信し、バックバイアス電圧電荷ポンピング手段に第1オシレーティング信号を印加させ、高電圧電荷ポンピング手段に第2オシレーティング信号を印加させるオシレータを含む。



## 【特許請求の範囲】

【請求項1】 バックバイアス電圧レベルをポンピングするバックバイアス電圧電荷ポンピング手段と、前記バックバイアス電圧レベルを感知して第1及び第2バックバイアス電圧感知信号を発生させるバックバイアス電圧レベル感知手段と、高電圧レベルをポンピングする高電圧電荷ポンピング手段と、前記高電圧レベルを感知して第1及び第2高電圧感知信号を発生させる高電圧レベル感知手段と、前記バックバイアス電圧レベル感知手段の第2バックバイアス電圧感知信号と、前記高電圧レベル感知手段の第2高電圧感知信号を受信し選択的に駆動される制御手段と、前記制御手段の出力信号と、前記バックバイアス電圧レベル感知手段の第1バックバイアス電圧感知信号と、前記高電圧レベル感知手段の第1高電圧感知信号を受信し、前記バックバイアス電圧電荷ポンピング手段に第1オシレーティング信号を印加させ、前記高電圧電荷ポンピング手段に第2オシレーティング信号を印加させるオシレータを含み、前記第1及び第2バックバイアス電圧感知信号の大きさは等しく位相が反対であり、前記第1及び第2高電圧感知信号の大きさは等しく位相が反対であることを特徴とする半導体メモリ装置の複数レベル電圧発生機。

【請求項2】 前記バックバイアス電圧電荷ポンピング手段は、電荷ポンピング効率を高めるため第1バックバイアス電圧電荷ポンピング部と第2バックバイアス電圧電荷ポンピング部を含み、前記第1バックバイアス電圧電荷ポンピング部は、第1オシレータ出力信号がロー状態からハイ状態に移転する時、バックバイアス電圧を出力し、前記第2バックバイアス電圧電荷ポンピング部は、第1オシレータ出力信号がハイ状態からロー状態に移転する時、前記バックバイアス電圧を出力することを特徴とする請求項1記載の複数レベル電圧発生機。

【請求項3】 前記第1バックバイアス電圧電荷ポンピング部は、前記第1オシレータ出力信号を反転させ出力するためのインバータと、前記インバータの出力端に一端子が結合されたキャパシタと、前記キャパシタの他端子とバックバイアス電圧を出力する出力端の間に、ダイオード型に連結された第1モストランジスタと、前記キャパシタの他端子と接地端子の間に、ダイオード型に連結された第2モストランジスタを含むことを特徴とする請求項2記載の複数レベル電圧発生機。

【請求項4】 前記第2バックバイアス電圧電荷ポンピング部は、

前記第1オシレータ出力信号を反転させ出力するための二つのインバータと、前記インバータの出力端に一端子が結合されたキャパシタと、前記キャパシタの他端子とバックバイアス電圧を出力する出力端の間に、ダイオード型に連結された第1モストランジスタと、前記キャパシタの他端子と接地端子の間に、ダイオード型に連結された第2モストランジスタを含むことを特徴とする請求項2記載の複数レベル電圧発生機。

【請求項5】 前記バックバイアス電圧レベル感知手段は、電源電圧と前記バックバイアス電圧電荷ポンピング手段の出力信号であるバックバイアス電圧の間に、直列連結されたPMOSTランジスタ及びダイオード連結された複数個のNMOSTランジスタと、前記PMOSTランジスタと前記複数個のNMOSダイオードの結合ノードに連結されたバッファ手段を備え、前記PMOSTランジスタのソースは電源電圧に連結され、ゲートは接地電圧に連結され、ドレインは前記結合ノードに連結され、前記バッファ手段は複数個のインバータを備えて前記第1及び第2バックバイアス電圧感知信号を出力することを特徴とする請求項1記載の複数レベル電圧感知発生機。

【請求項6】 前記高電圧レベル感知手段は、ゲートが電源電圧源に接続し、高電圧端子と第1ノードの間に接続された第1Pモスタイプトランジスタと、前記高電圧端子の電位が前記第1ノードの電位より3V<sub>t</sub>（閾電圧）以上高くなる時にターンオンされ、前記一つのノードをハイ状態に作るため直列接続されたダイオード構造の三つのNモスタイプトランジスタと、ゲートとドレインが前記第1ノードに接続され、前記第1ノードと接地電圧端子の間に接続された第1Nモスタイプトランジスタと、ゲートが前記第1ノードに接続しドレインが第2ノードに連結され、ソースが前記接地電圧端子に連結された第2Nモスタイプトランジスタと、ゲートが接地電圧端子に接続し電源電圧と前記第2ノードの間に接続された第2Pモスタイプトランジスタと、前記第2ノード上の信号を緩衝させ前記オシレータ及び前記制御手段入力端で、前記第1及び第2高電圧感知信号を出力させるための直列接続した三つのインバータを含むことを特徴とする請求項1記載の複数レベル電圧発生機。

【請求項7】 前記制御手段は、前記第2バックバイアス電圧感知信号と前記第2高電圧感知信号を受信する第1NANDゲートと、前記第1NANDゲートの入出力端と交差結合した第2NANDゲートを含むラッチ手段と、前記第1NANDゲートの出力端と前記第2NANDゲ

ートの入力端の間に連結した遅延手段と、前記ラッチ手段の出力信号を受信し、前記制御信号を出力させるためのバッファ手段を含むことを特徴とする請求項1記載の複数レベル電圧感知機。

【請求項8】 前記オシレータは、前記制御信号がアクティブされる場合にのみチェーンで構成されたそれぞれのノードに周期的な信号を生成するリングオシレータ手段と、前記リングオシレータの第1ノードの出力信号と、前記第1バックバイアス電圧感知信号を受信して前記第1オシレータ出力信号を発生させる第1AND手段と、前記リングオシレータの第2ノードの出力信号と前記第1高電圧感知信号が入力され、前記第2オシレータ出力信号を発生させる第2AND手段を含むことを特徴とする請求項1記載の複数レベル電圧感知機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置の複数レベル電圧発生機に関し、特に複数のリングオシレータの代りに単数のリングオシレータを用いて複数の電荷ポンプ回路を駆動させることにより、リングオシレータの電力消費を減らすための複数レベル電圧発生機に関する。

【0002】

【従来の技術】一般に、メモリ装置には低電圧であるバックバイアス電圧とブーストラッピングされた高電圧が用いられる。バックバイアス電圧を発生させるバックバイアス電圧発生機は一般回路の分離等を目的にウェル(Well)や基板に印加されウェル、又は基板と一般回路の接合面を逆バイアス状態に維持させ、高電圧を発生させる高電圧発生機はNモスの電流駆動力増大及び出力電圧損失を防止することに用いられる。

【0003】従来の複数レベル電圧発生機においてはそれぞれの電圧発生機ごとに電荷ポンプを駆動するための複数のオシレータを備えてパルスを発生させるためオシレータの消耗電流が大きくなり、特にバックバイアス電圧及び高電圧発生機のオシレータで消耗される電流の量が大きくなる問題点があった。

【0004】

【発明が解決しようとする課題】従って、本発明の目的は動作に必要な電流を最小化し、機能モード変化に対応可能な複数レベル電圧発生機を提供することである。

【0005】

【課題を解決するための手段】以下、添付図面を参照して本発明の実施例を詳細に説明する。

【0006】図1は、本発明の実施例に係る複数レベル電圧発生機のブロック図であり、オシレータの出力に従いバックバイアス電圧ノードに電荷をポンピングするバックバイアス電圧電荷ポンピング回路(50)と、前記バックバイアス電圧ノードの電圧レベルを感知するバ

ックバイアス電圧レベル感知機(10)と、オシレータの出力に従い高電圧ノードに電荷をポンピングする高電圧電荷ポンピング回路(60)と、前記高電圧ノードの電圧レベルを感知する高電圧レベル感知機(20)と、前記バックバイアス電圧及び前記高電圧レベル感知機(20)の電圧レベル感知状態に伴い選択的に駆動される制御ロジック(30)と、制御ロジック(30)の出力、バックバイアス電圧及び高電圧レベル感知機(20)の出力に従いパルスを発生するオシレータで構成される。

【0007】図2は、図1に示すバックバイアス電圧レベル感知機の詳細回路図であり、ゲートが接地電圧源に連結され電源電圧と第1ノード(N1)の間に接続された第1PMOS型トランジスタ(MP1)と、前記第1ノード(N1)とバックバイアス電圧ノードの間にダイオード構造に直列接続された第1、第2、第3NMOS型トランジスタ(MN1、MN2、MN3)と、前記第1ノード(N1)と第1バッファ部(11)の第1バックバイアス電圧感知信号(Vbbdet1)出力端の間に直列接続された第1、第2インバータ(IV1、IV2)と、前記第1バックバイアス電圧感知信号(Vbbdet1)出力端と、第2バックバイアス電圧感知信号(Vbbdet2)出力端の間に接続された第3インバータ(IV3)で構成される。

【0008】以下、前記構成に伴う動作をみれば、電源電圧が印加されると第1PMOS型トランジスタが導通され第1ノード(N1)上には論理ハイ状態を維持し、第1バックバイアス電圧感知信号(Vbbdet1)及び第2バックバイアス電圧感知信号(Vbbdet2)は、それぞれ論理ハイ状態と論理ロー状態を維持する。

【0009】所定時間が経過した後、バックバイアス電圧電荷ポンピング回路(50)の動作でバックバイアス電圧が-3Vt程度に下がれば第1、第2、第3NMOS型トランジスタ等がターンオンされ、電流が前記第1ノード(N1)からバックバイアス電圧端に流れることにより第1ノード(N1)は論理ロー状態となり、第1バックバイアス電圧感知信号(Vbbdet1)は論理ロー、第2バックバイアス電圧感知信号(Vbbdet2)は論理ハイ状態となる。

【0010】図3は、図1に示す複数レベル電圧発生機高電圧レベル感知機詳細回路図であり、セルフバイアスされゲートが電源電圧源に接続し高電圧源と第2ノード(N2)の間に接続された第2PMOS型トランジスタ(MP2)と、前記高電圧源と前記第2ノード(N2)の間にダイオード構造に直列接続された第4、第5、第6NMOS型トランジスタと、ゲートが前記第2ノード(N2)に接続し前記第2ノード(N2)と接地電圧源の間に接続された第7NMOS型トランジスタ(MN7)と、ゲートが前記第2ノード(N2)に接続し第3ノード(N3)と前記接地電圧源の間に接続された第8NMOS型トランジスタ(MN8)と、ゲートが接地電圧源に

接続し電源電圧と前記第3ノード(N3)に接続された第3Pモス型トランジスタ(MP3)と、前記第3ノード(N3)と第2バッファ部(21)の第1高電圧感知信号(Vppdet1)出力端の間に直列接続された第4、第5インバータ(IV4、IV5)と、前記第1高電圧感知信号(Vppdet1)出力端と第2高電圧感知信号(Vppdet2)出力端の間に接続された第6インバータ(IV6)で構成される。

【0011】以下、前記構成に伴う動作をみれば、セルフバイアスされゲートが電源電圧源に接続された前記第2Pモス型トランジスタ(MP2)は、高電圧レベルに従って第2ノード(N2)に一定電流を供給することによりフローティングを防止する役割を果たす。前記第7Nモス型トランジスタ(MN7)と前記第8Nモス型トランジスタ(MN8)はキュレントミラー構造である。

【0012】先ず、高電圧が電源電圧より小さい場合には比較対象である二つの入力中、一入力の電源電圧により生成された前記第3ノード(N3)の電圧レベルが他入力の高電圧により生成された第2ノード(N2)の電圧レベル(Vpp-3Vt)より高いため、前記第2ノード(N2)及び前記第3ノード(N3)は、それぞれ論理ロー状態と論理ハイ状態を維持して前記第1高電圧感知信号は論理ハイ状態、第2高電圧感知信号(Vppdet2)は論理ロー状態を維持する。

【0013】一方、高電圧が電源電圧+3Vtより高い場合には比較対象である二つの入力中、一入力の電源電圧により生成された第3ノード(N3)の電圧レベルが他入力の高電圧により生成された第2ノード(N2)の電圧レベル(Vpp-3Vt)より低くなり、前記第2ノード(N2)及び前記第3ノード(N3)はそれぞれ論理ハイ状態と論理ロー状態を維持して第1高電圧感知信号は論理ロー状態、第2高電圧感知信号(Vppdet2)は論理ハイ状態を維持する。

【0014】図4は、図1に示す複数のレベル電圧発生機制御ロジック詳細回路図であり、第2バックバイアス電圧感知信号(Vbbdet2)、第2高電圧感知信号(Vppdet2)、そして第2ナンドゲート出力信号を論理演算して第4ノード(N4)に出力させるための第1ナンドゲートと、前記第4ノード(N4)上の信号を一定時間遅延させ前記第2ナンドゲートの一側入力端に出力させるための遅延回路と、前記第4ノード(N4)上の信号と前記遅延回路の出力信号を論理演算して前記第1ナンドゲートの一側入力端に出力させるための第2ナンドゲートと、前記第4ノード(N4)上の信号を一定時間遅延させオシレータ側入力端に出力させるための第7、第8インバータ(IV7、IV8)で構成される。

【0015】以下、前記構成に伴う動作をみれば、第1ナンドゲート及び第2ナンドゲートで構成されたラッチ回路のセット(set)端子で第2バックバイアス電圧

感知信号(Vbbdet2)及び第2高電圧感知信号(Vppdet2)が入力されて貯蔵され、リセット(reset)端子には前記第4ノード(N4)上の信号と前記遅延回路の出力信号が入力され、複数レベル電圧感知の安定性を改善した特徴を有する。即ち、前記遅延回路の遅延時間の間にはセット端子に最初入力されたデータのみを貯蔵する。

【0016】図5は、図1に示す複数レベル電圧発生機オシレータ回路図であり、直列接続された第11、第12、第13、第14、第15、第16インバータ(IV11、IV12、IV13、IV14、IV15、IV16)と、前記第16インバータ(IV16)の出力信号と制御ロジック(30)の出力信号を論理演算して前記第11インバータ入力端に出力させるための第5ナンドゲートとなるリングオシレータと、第1バックバイアス電圧感知信号(Vbbdet1)と前記第12インバータ出力信号を論理演算して第9インバータ(IV9)入力端に出力させるための第3ナンドゲートと、前記第3ナンドゲート出力信号を反転させ第1オシレータ信号を発生させるための第9インバータ(IV9)と、前記第14インバータ出力信号と第1高電圧感知信号を論理演算して第10インバータ(IV10)入力端に出力させるための第4ナンドゲートと、前記第4ナンドゲート出力信号を反転させ第2オシレータ信号を発生させるための第10インバータ(IV10)で構成される。

【0017】以下、前記構成に伴う動作をみれば、前記第5ナンドゲート一側入力である制御信号が論理ハイ状態の場合にのみチェーンで構成されたそれぞれのノードに周期的なトレンジションを生成し、前記第1バックバイアス電圧感知信号(Vbbdet1)と第2バックバイアス電圧感知信号(Vbbdet2)がハイの場合にのみそれぞれ第1オシレータ出力端と第2オシレータ出力端にリングオシレータチェーンのパルスを出力するようになる。

【0018】図6は、図1に示す複数レベル電圧発生機バックバイアス電圧電荷ポンプ詳細回路図であり、第1オシレータ出力信号(Osc1)が論理ロー状態から論理ハイ状態に移る場合にバックバイアス電圧ノードに電荷をポンピングする第1バックバイアス電圧電荷ポンピング部(51)と、前記第1オシレータ出力信号(Osc1)が論理ハイ状態から論理ロー状態に移る場合にバックバイアス電圧ノードに電荷をポンピングする第2バックバイアス電圧電荷ポンピング部(52)で構成される。

【0019】前記第1バックバイアス電圧電荷ポンピング部(51)は、前記第1オシレータ出力信号(Osc1)入力端と第5ノード(N5)の間に接続された第17インバータ(IV17)と、前記第5ノード(N5)と第6ノード(N6)の間に接続された第1キャパシタと、ゲートが前記第6ノード(N6)に接続され前記第

6ノード(N6)と接地電圧源の間に接続された第9Nモストランジスタと、ゲートがバックバイアス電圧端子に接続され前記第6ノード(N6)と前記バックバイアス電圧端子の間に接続された第10Nモストランジスタで構成される。

【0020】前記第2バックバイアス電圧電荷ポンピング部(52)は、前記第1オシレータ出力信号( Osc 1 )入力端と第7ノード(N7)の間に直列接続された第18、第19インバータ( IV 19 )と、前記第7ノード(N7)と第8ノード(N8)の間に接続された第2キャパシタと、ゲートが前記第8ノード(N8)に接続され前記第8ノード(N8)と接地電圧源の間に接続された第12Nモストランジスタと、ゲートが前記バックバイアス電圧端子に接続され前記バックバイアス電圧端子と前記第8ノード(N8)の間に接続された第11Nモストランジスタで構成される。

【0021】前記のように、二つの電荷ポンピング部を用いることは電荷ポンピング効率を高めるためのものであり、第1バックバイアス電圧電荷ポンピング部(51)及び第2バックバイアス電圧電荷ポンピング部(52)の動作は、入力信号である第1オシレータ出力信号( Osc 1 )の位相のみ反対であるだけで全体動作は等しいため、第1バックバイアス電圧電荷ポンピング部(51)の動作に対してのみ説明することにする。

【0022】電源電圧が印加されると、第6ノード(N6)は論理ロー状態で第9Nモス型トランジスタ(MN9)により電圧レベルが定められ、バックバイアス電圧端子は論理ロー状態なので第10Nモス型トランジスタ(MN10)はターンオフ状態であり、待機状態である前記第1オシレータ出力信号( Osc 1 )が論理ロー状態であれば第17インバータ( IV 17 )を経た第6ノード(N6)は論理ロー状態を有するため、結果的に第1キャパシタ両端には電源電圧程度の電圧が充電されている。

【0023】この際、前記第1オシレータ出力信号( Osc 1 )が論理ロー状態からハイ状態に移り第17インバータ( IV 17 )及び第18インバータ( IV 18 )にそれぞれ印加されると、前記第17インバータ( IV 17 )を介しロー状態に反転され第1キャパシタに印加される。

【0024】それに従い、第6ノード(N6)はネガティブ電源電圧( -Vdd )程度のレベルに減少され、従って前記第9Nモス型トランジスタ(MN9)はターンオフされ第10Nモス型トランジスタ(MN10)は導通され、前記第6ノード(N6)とバックバイアス電圧端子の間には電荷共有が発生しバックバイアス電圧はネガティブ電圧に減少され電荷ポンピング動作を完了する。

【0025】一方、前記第18インバータ( IV 18 )に印加された論理ハイ状態信号は前記第18インバータ

( IV 18 )を介しロー状態信号に、次いで第19インバータ( IV 19 )を介し再びハイ状態信号に反転され第2キャパシタに印加される。

【0026】それに従い、前記第8ノード(N8)は論理ロー状態に維持され、従って、第11Nモス型トランジスタ(MN11)はターンオフされ第2バックバイアス電圧電荷ポンピング部(52)によっては電荷ポンピング動作がなされない。

【0027】所定時間が経過した後、バックバイアス電圧端子が望むネガティブ電圧レベルを有するようになれば、前記第1オシレータ出力信号( Osc 1 )がこれ以上パルスを生じなく、一般回路から流入される電荷が増加すれば再び第1オシレータ出力信号( Osc 1 )を発生してポンピング動作を始める。

【0028】図7は、図1に示す複数レベル電圧発生機高電圧電荷ポンプ詳細回路図であり、第2オシレータ出力信号( Osc 2 )と第13ノード(N13)上の信号を論理演算して第9ノード(N9)に出力させるためのノアゲートと、第2オシレータ出力信号( Osc 2 )端子と第11ノード(N11)の間に直列接続された第20、第21インバータ( IV 20、IV 21 )と、前記第11ノード(N11)と前記第13ノード(N13)の間に直列接続された第22、第23インバータ( IV 22、IV 23 )と、前記第9ノード(N9)と第10ノード(N10)の間に接続された第1キャパシタ型トランジスタ( CT 1 )と、前記第11ノード(N11)と第12ノード(N12)の間に接続された第2キャパシタ型トランジスタ( CT 2 )と、ゲートが前記第11ノード(N11)に接続され電源電圧と第14ノード(N14)の間に接続された第4Pモス型トランジスタ( MP 4 )と、ゲートが前記第11ノード(N11)に接続され前記第14ノード(N14)と第14Nモス型トランジスタ(MN14)ドレイン端子の間に接続された第13Nモス型トランジスタ(MN13)と、ゲートが前記第13ノード(N13)に接続され前記第13Nモス型トランジスタ(MN13)ソース端子と接地電圧源の間に接続された第14Nモス型トランジスタ(MN14)と、前記第14ノード(N14)と第15ノード(N15)の間に接続された第3キャパシタ型トランジスタ( CT 3 )と、ゲートが電源電圧源に接続され前記第10ノード(N10)と前記電源電圧源の間に接続された第15Nモス型トランジスタ(MN15)と、ゲートが前記第12ノード(N12)に接続され前記第10ノード(N10)と前記電源電圧源の間に接続された第16Nモス型トランジスタ(MN16)と、ゲートが前記第10ノード(N10)に接続され前記第12ノード(N12)と前記電源電圧源の間に接続された第17Nモス型トランジスタ(MN17)と、ゲートが前記電源電圧源に接続され前記第12ノード(N12)と前記電源電圧源の間に接続された第18Nモス型トランジスタ

(MN18)と、ゲートが前記第12ノード(N12)に接続され前記第15ノード(N15)と前記電源電圧源の間に接続された第19Nモス型トランジスタ(MN19)と、ゲートが前記第10ノード(N10)に接続され前記第15ノード(N15)と高電圧端子の間に接続された第20Nモス型トランジスタ(MN20)と、ゲートが前記電源電圧源に接続され前記電源電圧源と前記高電圧端子の間に接続された第21Nモス型トランジスタ(MN21)で構成される。

【0029】以下、前記構成に伴う動作を図8に示す動作タイミング図を参照して説明することにする。

【0030】先ず、フリーチャージを行う場合には図8の(a)に示すようにも1時点に第2オシレータ出力信号( Osc 2 )がローからハイに転移され、(f)に示すように第13ノード(N13)は論理ロー状態なのでノアゲートの出力は(b)に示すようにハイ状態からロー状態に転移される。

【0031】それに従い、第1キャパシタ型トランジスタ(CT1)の電荷ポンピングにより第10ノード(N10)は $2V_{dd}-V_t$ (以下、 $V_{dd}+V$ という)から $V_{dd}$ に強化され論理ロー状態となり、第14Nモス型トランジスタ(MN14)はターンオフとなる。

【0032】さらに、前記論理ハイ状態の第2オシレータ出力信号( Osc 2 )は第20、第21インバータ(IV20、IV21)を介し第11ノード(N11)は(d)に示すように論理ロー状態からハイ状態に転移され第2キャパシタ型トランジスタ(CT2)に印加される。

【0033】それに従い、前記第2キャパシタ型トランジスタ(CT2)の電荷ポンピングにより第12ノード(N12)は(e)に示すように $V_{dd}$ から $V_{dd}+V$ に昇圧され、第19Nモス型トランジスタ(MN19)及び第4Pモス型トランジスタ(MP4)のゲートに印加され、第4Pモス型トランジスタ(MP4)はターンオフされ第13Nモス型トランジスタ(MN13)はターンオンされ、前記第11ノード(N11)の論理ハイ状態が第22、第23インバータ(IV22、IV23)を介し所定時間遅延後、第13ノード(N13)に伝達され第13ノード(N13)は(f)に示すように論理ロー状態からハイ状態に転移され、前記第13ノード(N13)の論理ハイ状態が第14Nモス型トランジスタ(MN14)のゲートに印加され第14Nモス型トランジスタ(MN14)はターンオンされる。

【0034】それに従い、第14ノード(N14)は(g)に示すように論理ハイ状態からロー状態に転移され、第15ノードは(h)に示すように $V_{dd}+V$ から $V_{dd}$ に強化され、高電圧端子は以前サイクルにより行われた高電圧を維持する。

【0035】以下、以前サイクルの高電圧を維持する高電圧端子に電荷をポンピングする場合には、先ず(a)

に示すようにも2時点に第2オシレータ出力信号( Osc 2 )が論理ハイ状態からロー状態に転移されると、前記論理ロー状態の第2オシレータ出力信号( Osc 2 )は第20、第21インバータ(IV20、IV21)を介し第11ノード(N11)は(d)に示すように論理ハイ状態からロー状態に転移され第2キャパシタ型トランジスタ(CT2)に印加される。

【0036】それに従い、第12ノード(N12)は(e)に示すように $V_{dd}+V$ から $V_{dd}$ に降下され、第19Nモス型トランジスタ(MN19)はターンオンされ前記第11ノード(N11)の論理ロー状態は第13Nモス型トランジスタ(MN13)及び第4Pモス型トランジスタ(MP4)のゲートにそれぞれ印加される。

【0037】その後、前記第11ノード(N11)の論理ロー状態が第22、第23インバータ(IV22、IV23)を介し第13ノード(N13)は論理ロー状態となる。

【0038】それに従い、第13及び第14Nモス型トランジスタ(MN14)はターンオフされ第4Pモス型トランジスタ(MP4)はターンオフされる。

【0039】それに従い、第14ノード(N14)は(g)に示すように論理ロー状態からハイ状態に転移され第3キャパシタ型トランジスタ(CT3)の電荷ポンピングにより第15ノード(N15)は(h)に示すように $V_{dd}$ から $V_{dd}+V$ に昇圧される。

【0040】一方、ノアゲートの出力、即ち第9ノード(N9)は第2オシレータ出力信号( Osc 2 )が論理ロー状態であり、第13ノード(N13)上の電圧が(f)に示すように論理ロー状態なので(b)に示すように論理ロー状態からハイ状態に転移される。

【0041】それに従い、第10ノード(N10)は第1キャパシタ型トランジスタ(CT1)の電荷ポンピングにより $V_{dd}$ から $V_{dd}+V$ に昇圧されて論理ハイ状態になり、第20Nモス型トランジスタ(MN20)はターンオンされる。

【0042】それに従い、第15ノード(N15)と高電圧端子の間に電荷共有が生じ高電圧の転移が昇圧される。

【0043】その後、所定時間が経過後、高電圧電位が十分昇圧することになれば第2オシレータ出力信号( Osc 2 )は発生されず高電圧電荷ポンピング回路(60)はターンオフされ、高電圧ノードで流失する電荷が発生すれば第2オシレータ出力信号( Osc 2 )が発生され高電圧電荷ポンピング回路(60)を駆動させて高電圧端子に電荷をポンピングする。

【0044】

【発明の効果】以上で説明したように、本発明の複数レベル電圧発生機を半導体装置に現わすことになればリングオシレータの消耗電流を減少させることにより低消費



電力を実現することになる効果がある。

【0045】本発明の好ましい実施例は例示の目的のためのものであり、当業者であれば請求された特許請求範囲に開示された本発明の思想と範囲を介し各種修正、変更、代替及び付加が可能であるだろう。

【図面の簡単な説明】

【図1】本発明の実施例に係る複数レベル電圧発生機のブロック図。

【図2】図1に示す複数レベル電圧発生機バックバイアス電圧レベル感知機詳細回路図。

【図3】図1に示す複数レベル電圧発生機高電圧レベル感知機詳細回路図。

【図4】図1に示す複数レベル電圧発生機制御ロジック詳細回路図。

【図5】図1に示す複数レベル電圧発生機オシレータ詳細回路図。

【図6】図1に示す複数レベル電圧発生機バックバイアス電圧電荷ポンプ詳細回路図。

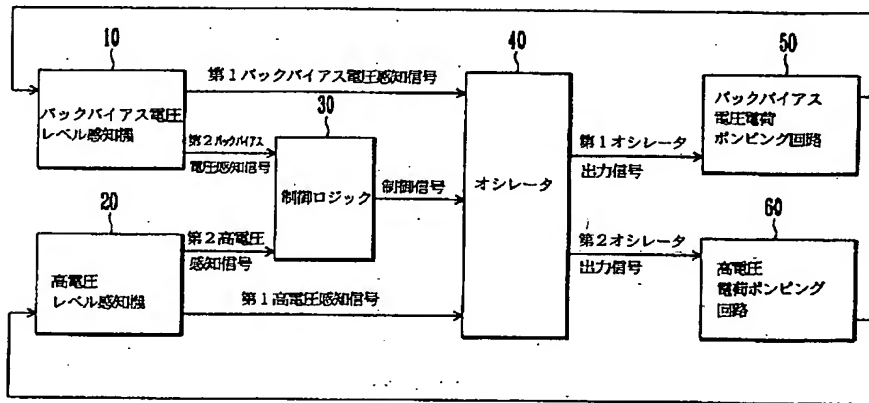
【図7】図1に示す複数レベル電圧発生機高電圧電荷ポンプ詳細回路図。

【図8】図7に示す高電圧電荷ポンプ詳細回路図に対する動作タイミング図。

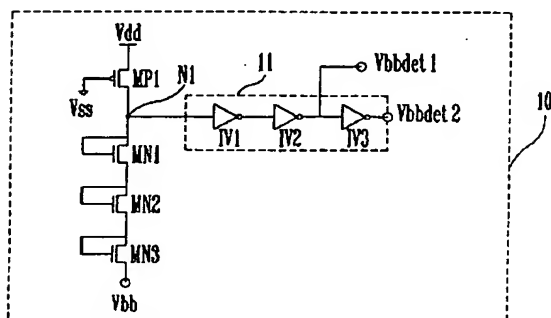
【符号の説明】

- 10 バックバイアス電圧レベル感知機
- 11 第1バッファ部
- 20 高電圧レベル感知機
- 21 第2バッファ部
- 30 制御ロジック
- 40 オシレータ
- 50 バックバイアス電圧電荷ポンピング回路
- 51 第1バックバイアス電圧電荷ポンピング部
- 52 第2バックバイアス電圧電荷ポンピング部
- 60 高電圧電荷ポンピング回路
- Vbbdet1、Vbbdet2 バックバイアス電圧感知信号
- Vppdet1、Vppdet2 高電圧感知信号
- det 制御信号
- Osc1、Osc2 オシレータ出力信号
- CT1、CT2、CT3 キャパシタ型トランジスタ

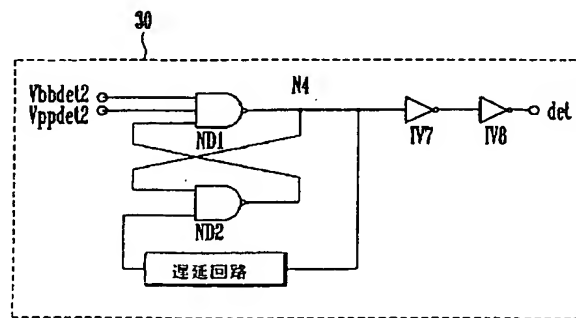
【図1】



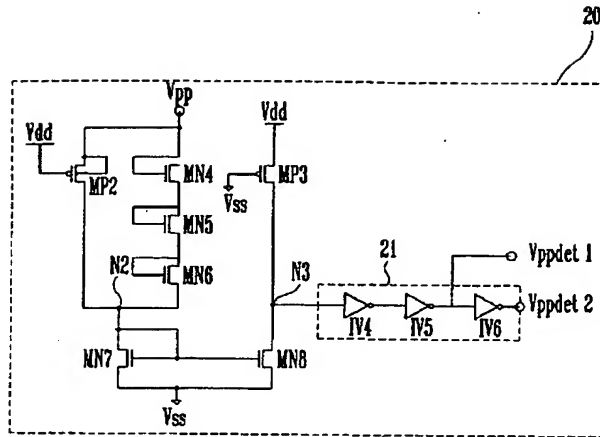
【図2】



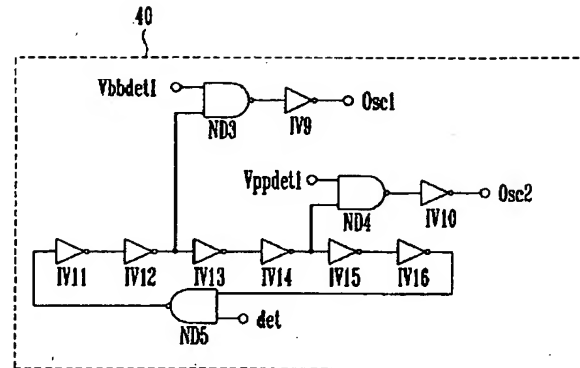
【図4】



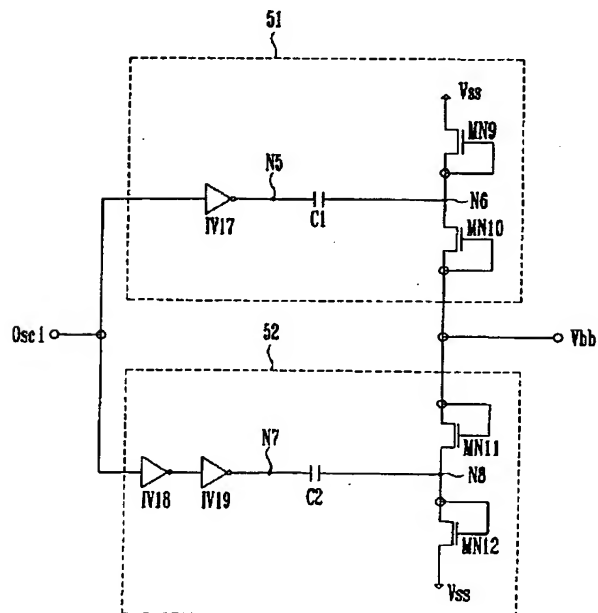
【図3】



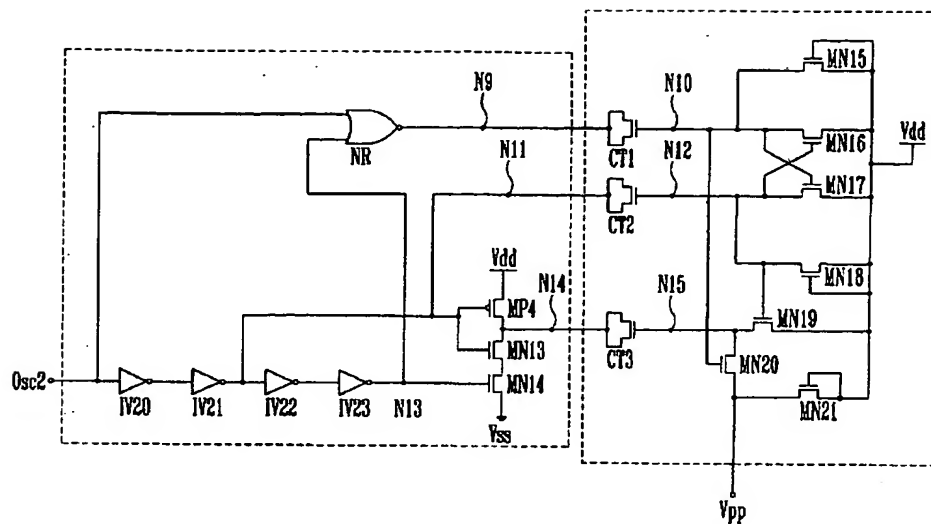
【図5】



【図6】



【図7】



【図8】

